

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049222

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

H01L 21/76
H01L 29/78

(21)Application number : 10-216831

(71)Applicant : HITACHI LTD

(22)Date of filing : 31.07.1998

(72)Inventor : ISHIZUKA NORIO

MIURA HIDEO

IKEDA SHUJI

YOSHIDA YASUKO

SUZUKI NORIO

KOJIMA MASAYUKI

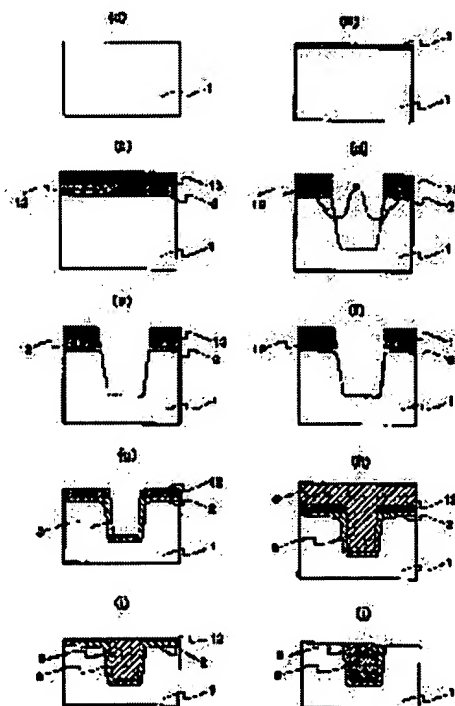
FUNAYAMA KOTA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve a manufacturing method of a semiconductor device that does not form substrate levels near the upper edge of a groove on the upper surface of a silicon substrate and moreover can secure a radius of curvature which is not less than a predetermined value at the upper edge of the groove.

SOLUTION: The retreat amount of a pad oxide film 2 is limited in a process (f). The part of a silicon substrate 1 within a range of greater than 0 to not greater than 20 nm is removed by the isotropic etching method in a process (d). Since the retreating amount of the pad oxide film 2 is set to a range of 5 to 40 nm, no level is formed near the upper edge on the substrate side in a groove separation structure, and furthermore, the radius of curvature can be made adequately larger than 3 nm. Therefore, an increase in leakage current or degradation of breakdown voltage characteristics of a transistor which is attributable to electric field concentration near the edge of a gate electrode film can be prevented, so that



electrical reliability of a transistor is improved.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-49222

(P2000-49222A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. ⁷	識別記号	F I	サーチコード(参考)
H 0 1 L 21/76		H 0 1 L 21/76	L 5 F 0 3 2
29/78		29/78	3 0 1 R 5 F 0 4 0

審査請求 未請求 請求項の数6 O L (全 17 頁)

(21) 出願番号 特願平10-216831

(22) 出願日 平成10年7月31日 (1998.7.31)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 石塚 典男

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72) 発明者 三浦 英生

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(74) 代理人 100068504

弁理士 小川 勝男

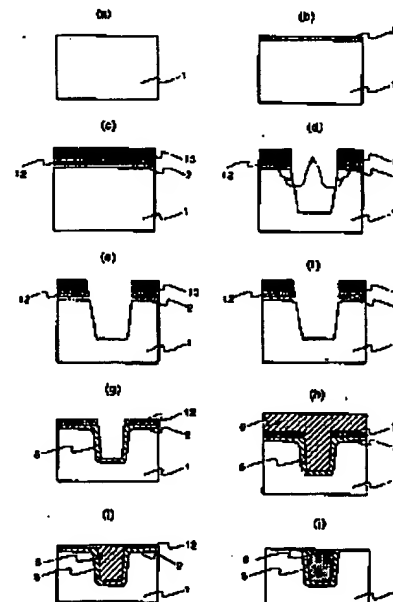
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 溝上端部近傍のシリコン基板上で基板段差を形成せず、しかも溝上端部に所定以上の曲率半径を確保させることができる半導体装置の製造方法を実現する。

【解決手段】 工程 (f) でパット酸化膜2の後退量を限定させている。また、工程 (d) の等方性エッチング法によりシリコン基板1を所より大きく20 nm以下の範囲で除去する。パット酸化膜2の後退量を5～40 nmの範囲に設定しているため、溝分離構造の基板側上端近傍に段差を発生させることなく、さらに曲率半径を3 nmよりも十分大きくすることができるので、ゲート電極膜端部近傍の電界集中に起因したトランジスタのリーク電流増加あるいは耐圧特性の低下を防止でき、トランジスタの電気的信頼性を向上できる。



1

【特許請求の範囲】

【請求項1】半導体装置の製造方法において、

(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、

(b) 上記パット酸化膜の上に酸化防止膜を形成する工程と、

(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、

(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、

(e) 上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させる工程と、

(f) 上記露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、

(g) 上記半導体基板に形成した溝部分を酸化する工程と、

(h) 上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、

(i) 上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

(j) 上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、

(k) 上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項2】半導体装置の製造方法において、

(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、

(b) 上記パット酸化膜の上に酸化防止膜を形成する工程と、

(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、

(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、

(e) 上記パット酸化膜を5nmから40nmの範囲、上記溝の上端部から後退させる工程と、

(f) 上記露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、

(g) 上記半導体基板に形成した溝部分を H_2/O_2 のガス比が1.8以下の酸化雰囲気中で酸化する工程と、

(h) 上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、

(i) 上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

(j) 上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、

(k) 上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、

(2)

特開2000-49222

2

を備えることを特徴とする半導体装置の製造方法。

【請求項3】半導体装置の製造方法において、

(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、

(b) 上記パット酸化膜の上に酸化防止膜を形成する工程と、

(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、

(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、

(e) 上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させる工程と、

(f) 上記露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、

(g) 上記半導体基板に形成した溝部分を、後退させたパット酸化膜の空間が埋まる範囲内で酸化する工程と、

(h) 上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、

(i) 上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

(j) 上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、

(k) 上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、

を備えることを特徴とする半導体の製造方法。

【請求項4】半導体装置の製造方法において、

(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、

(b) 上記パット酸化膜の上に酸化防止膜を形成する工程と、

(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、

(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、

(e) 上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させる工程と、

(f) 上記露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、

(g) 上記半導体基板に形成した溝部分を、酸化雰囲気が H_2/O_2 のガス比が1.8以下、酸化量は後退させたパット酸化膜の空間が埋まる範囲内の条件で酸化する工程と、

(h) 上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、

(i) 上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

(j) 上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、

(3)

特開2000-49222

3

4

(k) 上記半導体基板の回路形成面上に形成された上記パット酸化膜を除去する工程と、

を備えることを特徴とする半導体の製造方法。

【請求項5】半導体装置の製造方法において、

(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、

(b) 上記パット酸化膜の上に酸化防止膜を形成する工程と、

(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、

(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、

(e) 上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させる工程と、

(f) 上記露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、

(g) 上記半導体基板の溝上端部の角部を除去し、丸みを設ける工程と、

(h) 上記半導体基板に形成した溝部分を酸化する工程と、

(i) 上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、

(j) 上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

(k) 上記半導体基板の回路形成面上に形成された上記酸化防止膜を除去する工程と、

(l) 上記半導体基板の回路形成面上に形成された上記パット酸化膜を除去する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項6】半導体基板の回路形成面にパット酸化膜を5nm以上形成し、上記パット酸化膜の上に酸化防止膜を形成し、所望の位置の上記酸化防止膜及びパット酸化膜を除去して半導体基板表面を露出し、上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成し、上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させ、上記露出した半導体基板を等方性エッチング法にて、等より大きく20nm以下の範囲で除去し、上記半導体基板に形成した溝部分を酸化し、酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去し、上記半導体基板の回路形成面上に形成された上記酸化防止膜及び上記パット酸化膜を除去して製造されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法及び半導体装置に関する。

【0002】

【従来の技術】半導体基板上で隣接したトランジスタ等

の素子間を電気的に絶縁分離する構造としてSGI (Shallow Groove Isolation) 構造がある。このSGI構造は、図12に示すように、シリコン基板1 (図12 (a)) に溝を形成し、パット酸化膜2及び酸化防止膜3を形成し、その後、選択的に (図12の (b))、その溝に素子分離熱酸化膜5、絶縁膜6を埋め込んだものであり (図12の (c))、(d))、これに、ゲート酸化膜7、ゲート電極膜8、絶縁膜9、配線10、層間絶縁膜11が形成され、半導体装置が製造される。

【0003】このSGI構造は、加工寸法精度が、従来まで用いられてきたLOCOS構造に比べ高いことから、0.25μmプロセス以降のデバイスに好適な構造となっている。

【0004】しかしながら、このSGI構造は図12の (c) の熱酸化の工程に示したように、熱酸化時に溝上端部のシリコン形状が鋭角化 (図12の (c) 工程の4) してしまう場合がある。このような基板鋭角部4が基板表面に残留すると、例えば、A.Bryant等が「Technical Digest of IEDM '94, pp.671-674」に公表しているように、回路動作中に、この基板鋭角部分に電界集中が発生し、回路を構成するトランジスタ特性や容量の耐圧特性を劣化させる場合がある。

【0005】このような耐圧劣化現象は、溝上端部近傍の基板角度が90度以上でも溝上端部近傍の基板側の曲率半径が3nm以下では同様に生じることが経験的に知られている。

【0006】これらの問題点の解決方法としては、特開平2-260660号に示されるように、図12の (b) 工程のパット酸化膜2を0.1μm程度、溝上端部の側壁から後退させ (図12の (b')) 参照)、水蒸気を含む1000℃前後の温度で酸化することにより、溝上端部の曲率半径が3nmを超える形状とする方法が記載されている。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来方法で作製した半導体装置の形状では、3nmを超える曲率半径は確保されるものの、溝上端部近傍のシリコン基板上面で基板段差14 (図12の (C')) が発生する場合があった。この基板段差14は、パット酸化膜2を後退させたことによって、シリコン基板1が露出し、この露出させた領域では後退しない領域に比べ酸化が早く進行するため、この境界部分で発生するものである。

【0008】このような段差部分14にゲート酸化膜7を形成すると、酸化膜厚が不均一となり、電気的なウェークスポットを形成してしまう。また、応力も集中しやすくなるため、段差部分14上に形成したトランジスタの電気的信頼性の低下を招く場合がある。

【0009】本発明は、溝上端部近傍のシリコン基板上面で基板段差を形成せず、しかも溝上端部に所定以上の

(4)

特開2000-49222

5

曲率半径を確保させることができる半導体装置の製造方法及び半導体装置を実現することである。

【0010】

【課題を解決するための手段】上記目的は、半導体基板表面の素子分離用溝上端部の角部を予め除去させ、さらに、酸化の際の発生応力を低減させることにより達成される。上記目的を達成するため、本発明は次のように構成される。

【0011】(1) 半導体装置の製造方法において、

(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、(b) 上記パット酸化膜の上に酸化防止膜を形成する工程と、(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、(e) 上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させる工程と、(f) 上記露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、(g) 上記半導体基板に形成した溝部分を酸化する工程と、(h) 上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、(i) 上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、(j) 上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、(k) 上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、を備える。

【0012】(2) また、半導体装置の製造方法において、(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、(b) 上記パット酸化膜の上に酸化防止膜を形成する工程と、(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、(e) 上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させる工程と、(f) 上記露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、(g) 上記半導体基板に形成した溝部分を H_2/O_2 のガス比が1.8以下の酸化雰囲気中で酸化する工程と、(h) 上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、(i) 上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、(j) 上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、(k) 上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、を備える。

【0013】(3) また、半導体装置の製造方法において、(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、(b) 上記パット酸化膜の上

6

に酸化防止膜を形成する工程と、(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、(e) 上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させる工程と、

(f) 上記露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、(g) 上記半導体基板に形成した溝部分を、後退させたパット酸化膜の空間が埋まる範囲内で酸化する工程と、(h) 上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、(i) 上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、(j) 上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、(k) 上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、を備える。

【0014】(4) また、半導体装置の製造方法において、(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、(b) 上記パット酸化膜の上に酸化防止膜を形成する工程と、(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、(e) 上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させる工程と、

(f) 露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、(g) 上記半導体基板に形成した溝部分を、酸化雰囲気 H_2/O_2 のガス比が1.8以下、酸化量は後退させたパット酸化膜の空間が埋まる範囲内の条件で酸化する工程と、(h) 上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、(i) 上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、(j) 上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、(k) 上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、を備える。

【0015】(5) また、半導体装置の製造方法において、(a) 半導体基板の回路形成面にパット酸化膜を5nm以上形成する工程と、(b) 上記パット酸化膜の上に酸化防止膜を形成する工程と、(c) 所望の位置の上記酸化防止膜及びパット酸化膜を除去させ、半導体基板表面を露出させる工程と、(d) 上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成する工程と、(e) 上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させる工程と、

(f) 露出した半導体基板の表面を等方性エッチング法にて、等より大きく20nm以下の範囲で除去させる工程と、(g) 上記半導体基板の溝上端部の角部を除去

(5)

特開2000-49222

7

し、丸みを設ける工程と、(h)上記半導体基板に形成した溝部分を酸化する工程と、(i)上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、(j)上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、(k)上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、(l)上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、を備える。

【0016】(6)半導体装置において、半導体基板の回路形成面にパット酸化膜を5nm以上形成し、上記パット酸化膜の上に酸化防止膜を形成し、所望の位置の上記酸化防止膜及びパット酸化膜を除去して半導体基板表面を露出し、上記酸化防止膜をマスクとして、上記半導体基板に所定の深さの溝を形成し、上記パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させ、上記露出した半導体基板を等方性エッチング法にて、零より大きく20nm以下の範囲で除去し、上記半導体基板に形成した溝部分を酸化し、酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去し、上記半導体基板の回路形成面の上に形成された上記酸化防止膜及び上記パット酸化膜を除去して製造される。

【0017】露出した半導体基板の表面を等方性エッチング法にて、零より大きく20nm以下の範囲で除去させることにより、段差の発生が防止され、溝上端部の曲率半径を所定以上の値に確保することができる。シリコンエッチング量が零での曲率半径は約15nm、エッチング量10~20nmでは約30nmとなっており、エッチング量20nmより大きい領域では溝上端部に段差が残留し、曲率半径も20nm以下となっていく傾向にある。溝上端部に段差が発生すると、ゲート酸化膜の形成が不均一となり、電気的なウィークスポットとなるので、シリコン基板のエッチング量の上限を20nmとすれば、上記段差の発生を防止することができる。

【0018】さらに、パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させることにより、溝上端部における段差の発生を防止するとともに、溝上端部の曲率半径を所定以上の値とすることができる。パット酸化膜の後退量を零から大きくするに従い基板上端の曲率半径が大きくなり、後退量5nmでは曲率半径は約15nmとなり、後退量を20nmとすると曲率半径は約25nmまで増加する。しかし、後退量を40nm以上増加させると、曲率半径は小さくなり、溝上端部上面に段差が発生する場合がある。したがって、パット酸化膜を5nmから40nmの範囲で、上記溝の上端部から後退させれば、溝上端部における段差の発生を防止するとともに、溝上端部の曲率半径を所定以上の値とすることができる。

【0019】

【発明の実施の形態】以下、本発明の実施形態を図を参

8

照して説明する。本発明の第1の実施形態である、溝分離構造を有する半導体装置の製造方法を図1及び図2を用いて説明する。

【0020】図1は第1の実施形態における製造方法の各工程での半導体装置の断面構造を示す図であり、図2はその製造工程の概略を示すフローチャートである。以下、図2のフローチャートに添って製造工程を図1を参照しながら説明する。

【0021】(1)シリコン基板1の表面を熱酸化して厚さ約10nmのパット酸化膜2を形成する(図2の工程(101)、(102)、図1の(a)、(b))。

(2)パット酸化膜2の上に窒化珪素膜12を厚さ約200nm程度堆積する。この窒化珪素膜12は、素子分離熱酸化膜5を形成する時の酸化防止膜として使用する(図2の工程(103))。

(3)窒化珪素膜12上にホトレジスト13を形成する(図2の工程(104)、図1の(c))。

(4)通常の露光法を使用して、所望の位置のホトレジスト13を除去した後、窒化珪素膜12、パット酸化膜2を除去し、窒化珪素膜12をマスクとして、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度(例えば、図中A部の角度が90~110度)を有する浅溝を形成する(図2の工程(107)、(108)、図1の(d))。

(5)ホトレジスト13を除去した後、パット酸化膜2を5~40nmの範囲でエッチング除去して後退させる(図2の工程(108)~(109)、図1の(e))。

(6)等方性エッチング法(ウエット若しくはドライエッチング法)を用いて露出したシリコン基板1を、基板1表面から零より大きく20nm以下の範囲で除去する(図2の工程(105)~(107)、図1の(d))。

(7)その後、例えば900~1100℃のドライ酸化雰囲気中でシリコン基板1表面を約30nm熱酸化し、溝部分に素子分離熱酸化膜5を形成する(図2の工程(111)、図1の(g))。

(8)化学気相蒸着(CVD)法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、埋め込む(以下、埋め込み絶縁膜6)。また、これら化学気相蒸着法、スパッタ法等で製作したシリコン酸化膜等は一般に密度が粗な膜であることから、埋め込み絶縁膜6の堆積後、緻密化を目的として、1100℃前後のアニールまたは酸化雰囲気中でシリコン基板1を酸化させてもよい(図2の工程(112)、図1の(h))。

(9)埋め込み絶縁膜6を化学機械研磨法(CMP)法あるいはドライエッチング法を使用してエッチバックする。この場合、酸化防止膜として用いた窒化珪素膜12はエッチングストッパーとなり、窒化珪素膜12下のシリコン基板1がエッチングされることを防止する動きを

特開2000-49222

10

(6)

9

持つ(図2の工程(113)、図1の(i))。

【0022】(10)そして、窒化珪素膜12及びパット酸化膜2を除去することで溝埋め込み構造は完了する(図2の工程(114)、図1の(j))。その後、トランジスタ構造製造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。

【0023】次に、第1の実施形態の作用効果を図3及び図4を用いて説明する。この第1の実施形態で従来技術と異なる点は、上記製造工程(6)(図2の工程(105)～(107)、図1の(f))の等方性エッチング法によりシリコン基板1を、等より大きく20nm以下の範囲で除去している点、及び上記工程(5)(図2の工程(109)～(110)、図1の(e))工程のパット酸化膜2の後退量を限定させている点にある。

【0024】図3は、第1の実施形態の説明で述べた製造工程(5)～(7)において、酸化量30nm、シリコン基板1のエッチング量を5nmとし、パッド酸化膜2の後退量を変化させて溝上端近傍の基板1側の曲率半径の変化を解析した結果であり、横軸はパット酸化膜2の後退量、縦軸はシリコン基板1の溝上端部の曲率半径をそれぞれ示している。また、図3中には従来方法のシリコンエッチング量ゼロの場合の結果を合わせて示した。

【0025】図3から、第1の実施形態によるものでは、パット酸化膜2の後退量を等から大きくするに従い、溝上端部の曲率半径が大きくなり、後退量5nmでは曲率半径は約15nmとなり、後退量を20nmとすると曲率半径は約25nmまで増加する。しかし、後退量を40nm以上増加させると、曲率半径は小さくなり、後退量60nmでは約12nmとなる。さらに、後退量40nm以上では図3中に示したような、溝上端部上面に段差が発生していた。

【0026】これに対して、従来方法のシリコンエッチング量ゼロの場合は、本発明の第1の実施形態よりパット酸化膜2の後退量に係わらず、ほぼ10nm曲率半径が小さくなっており、さらに後退量40nm以上においては段差が発生しており、曲率半径は小さくなった。

【0027】ここで、図3の曲率半径のパット酸化膜2の後退量に対する依存性について説明する。溝内の酸化時、酸化膜は窒化珪素膜12とシリコン基板1との間に約2倍の体積膨張をしながら成長していく(図4の(a)参照)。パット酸化膜2の後退量が零の場合、この体積膨張により窒化珪素膜12の端部は持ち上げられ、結果として凹状に反る。

【0028】この窒化珪素膜12の反り変形の反力が生じる結果、窒化珪素膜12下の酸化膜(パット酸化膜2の一部を含む)とシリコン基板1とは圧縮応力が発生する(図4の(a))。圧縮応力が酸化膜中に発生する

と、酸化膜の位散、すなわち酸化反応の進行が抑制されるため、溝上端部では酸化速度が著しく低下する。

【0029】一方、溝側壁においては、酸化膜の成長方向(側面法線方向)には拘束が無いこと、および成長する酸化膜の体積膨張の阻害因子がないことから、側壁面では酸化が相対的に抑制されずに進行する。このため、シリコン基板1の溝上端部近傍では、図4の(a)中に破線で示したように酸化の進行に伴い基板形状が先鋭化していく。

【0030】しかし、パット酸化膜2を後退させると、シリコン基板1の溝上端部の一部が露出する(図4の(b)参照)。この露出した部分においては、酸化初期には成長した酸化膜と上部窒化珪素膜12とが接触しないため、また、図4の(a)を用いて説明したような窒化珪素膜12の反り変形による圧縮応力の発生もほとんどないことから、酸化は抑制することなく進行する。

【0031】その結果として溝上端部が丸まり、曲率半径が大きくなる。また、パット酸化膜2を後退させると、後退させたパット酸化膜2の端部近傍ではシリコンが露出する領域とそうでない領域が形成される。露出した領域では酸素の拡散が速いため、酸化が速く進行するが、露出していない領域ではこれに比べ遅くなるため、パット酸化膜2の端部では段差が発生する。

【0032】また、シリコン溝の上端部では2面で酸素と接しているため、酸化が速く進行する。パット酸化膜2の後退量が40nm未満では、パット酸化膜2の端部とシリコン溝の上端部とが接近しているため、上記影響が重なり合い、段差は発生しないが、パット酸化膜2の後退量が40nm以上ではシリコン溝上端部から遠ざかるため、段差が発生し、そのため、曲率半径は小さくなっていく。

【0033】さらに、初期シリコン形状として、角部を等方性エッチング法により除去してあるので、従来方法よりも曲率半径は大きくなった。

【0034】次に、詳細なシリコン基板エッチング量依存性について説明する。図5に酸化量30nm、パット酸化膜2の後退量20nmにおけるシリコン基板1の溝上端部曲率半径のシリコンエッチング量依存性を示す。図5より、シリコンエッチング量が零での曲率半径は約15nm、エッチング量10～20nmでは約30nmとなっており、エッチング量20nmより大きい領域では段差が発生し、曲率半径も20nm以下となっていく傾向にあった。

【0035】上述したように、段差が発生すると、ゲート酸化膜の形成が不均一となり、電気的なウィークスポットとなるので、シリコン基板1のエッチング量はこれらの理由により20nmが上限となる。

【0036】なお、上記製造工程(7)で酸化をさらに継続すると、露出部分で成長した酸化膜が窒化珪素膜12と接触してしまい、その後は先に述べたように圧縮

(7)

特開2000-49222

11

力が急激に発生するので、溝上端部の曲率半径は再び減少してしまうので注意を要する。

【0037】上述した本発明の第1の実施形態においては、パット酸化膜2の後退量を5～40nmの範囲に設定しているため、溝分離構造の基板側上端近傍に段差を発生させることなく、さらに曲率半径を3nmよりも十分大きくすることができるので、ゲート電極膜端部近傍の電界集中に起因したトランジスタのリーク電流増加あるいは耐圧特性の低下を防止でき、トランジスタの電気的信頼性を向上できるという効果がある。

【0038】なお、図2に示した製造工程において、工程107と工程109との間にホトレジスト除去工程108が設定されているが、この工程108は、工程107と工程109との間ではなく、工程105と工程106との間に設定することもできる。さらに、パット酸化膜の後退量を制御するため、工程109を図6に示すように工程110と工程111に追加してもかまわない。この場合は工程109を2回行うことになるが、工程109を2回行うことによる溝の上端部からのパット酸化膜の後退量の合計が、5nmから40nmの範囲となる

ことが望ましい。

【0039】次に、本発明の第2の実施形態である、溝分離構造を有する半導体装置の製造方法を図1及び図7を使用して説明する。図7に示した第2の実施形態による製造方法（フローチャート）は、第1の実施形態の製造工程の（7）を変更したものである。この第2の実施形態は、第1の実施形態と比較して形状等は大きくは変わらないので、この第2の実施形態における半導体装置の断面図は、図1を使用して説明する。以下、図7のフローチャートに添って、この第2の実施形態における製造工程を説明する。

【0040】（1）シリコン基板1の表面を熱酸化して厚さ約10nmのパット酸化膜2を形成する（図7の工程（201）、（202）、図1の（b））。

（2）パット酸化膜2の上に窒化珪素膜12を厚さ200nm程度堆積する。この窒化珪素膜12は、素子分離熱酸化膜5を形成する時の酸化防止膜として使用する（図7の工程（203）、図1の（c））。

（3）窒化珪素膜12上にホトレジスト13を形成する（図7の工程（204））。

（4）通常の露光法を使用して、所望の位置のホトレジスト13を除去した後、窒化珪素膜12、パット酸化膜2を除去し、窒化珪素膜12をマスクとして、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度（例えば、図中A部の角度が90～110度）を有する浅溝を形成する（図7の工程（207）、（208）、図1の（d））。

（5）ホトレジスト13を除去した後、パット酸化膜2を5～40nm程度エッチング除去して後退させる（図7の工程（208）、（209）、図1の（d））。

12

（6）等方性エッチング法（ウェット、もしくはドライエッチング法）を用いて露出したシリコン基板1を、基板1表面から等より大きく20nm以下の範囲で除去する（図7の工程（210）、図1の（f））。

（7）シリコン基板1に形成した溝部分を H_2/O_2 ガス混合酸化雰囲気中で（ガス流量比を r とすると、 $0 \leq r \leq 1.8$ 好ましくは $0 \leq r \leq 0.5$ の範囲）、30nm程度熱酸化し、素子分離熱酸化膜5を形成する（図7の工程（211）、図1の（g））。

（8）化学気相蒸着（CVD）法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、埋め込み（以下、埋め込み絶縁膜6）。また、これら化学気相蒸着法、スパッタ法等で製作したシリコン酸化膜等は一般に密度が粗な膜であることから、埋め込み絶縁膜6堆積後、緻密化を目的として、1100℃前後のアニールまたは酸化雰囲気中でシリコン基板1を酸化させてもよい（図7の工程（212）、図1の（h））。

（9）埋め込み絶縁膜6を化学機械研磨法（CMP）法あるいはドライエッチング法を使用してエッチバックする。この場合、酸化防止膜として用いた窒化珪素膜12はエッチングストッパーとなり、窒化珪素膜12下のシリコン基板1がエッチングされることを防止する動きを持つ（図7の工程（213）、図1の（i））。

【0041】（10）そして、窒化珪素膜12及びパット酸化膜2を除去することで溝埋め込み構造は完了する（図7の工程（214）、図1の（j））。その後、トランジスタ構造製造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。

【0042】次に、図8を参照して本発明の第2の実施形態の作用効果を説明する。酸化雰囲気中の H_2/O_2 ガス比 r は、 $0 \leq r \leq 2$ まで変化することができる。ガス比 r が2に達すると爆発的に反応が進行するので、安全を考慮すると、実質的には $r = 1.8$ 程度が上限となる。

【0043】一般に、ガス比 r が上記範囲内においては、酸化温度を一定と仮定すると、この比が大きくなるに伴い、酸化速度が速くなり、小さいと酸化速度は遅くなる。そこで、この酸化速度の半導体基板1の溝上端部の形状に及ぼす影響を解析した。パット酸化膜2の後退量が5nmにおける解析結果を図8に示す。図8において、横軸には H_2/O_2 ガス比、縦軸は半導体基板1の上端部の曲率半径を示す。

【0044】図8より、酸化雰囲気の水素（ H_2 ）流量比が大きくなるほど、形成される曲率半径が急激に減少することがわかる。ガス比 r が0.5に達すると、曲率半径は約3nmにまで減少する。ガス比 r をこれ以上大きくすると、曲率半径はわずかながらに減少する。

【0045】この原因は、以下のように説明できる。酸

(8)

特開2000-49222

13

化は、既に述べたように、シリコンとシリコン酸化膜の界面近傍でひずみ（応力）を発生させる。一方、シリコン酸化膜は高温（900℃以上）で顕著な粘性挙動を示すため、高温では時間と共に発生した応力が緩和されていく。

【0046】したがって、酸化膜厚を一定と仮定すると、発生歪み（応力）の値は一定であるが、酸化速度が速い（ H_2/O_2 ガス比が大きい）ほど発生した応力が緩和される時間が短くなるので、結果的に残留応力が高くなる。

【0047】酸化速度が遅い（ H_2/O_2 ガス比が小さい）場合には、シリコン酸化膜の粘性効果働き、酸化膜厚一定条件と比較すると、相対的に応力の緩和が進む。酸化誘起応力が高くなるほど、その近傍での酸化が抑制される。したがって、シリコン基板1の溝上端部近傍は、上面と側面とからの酸化膜の成長で応力が集中する場所であることから、残留応力が高くなると、この近傍の酸化が抑制され、結果的に先端が尖る形状になっていく。

【0048】以上のことから、 H_2/O_2 ガス比 r を小さくすることで、半導体基板1の溝上端においては酸化がより低応力の状態で進行することになり、結果としてシリコン基板1の上端近傍の曲率化が図られたものである。

【0049】また、 H_2/O_2 ガス比 r を1.8のまま、 Ar ガスや N_2 ガスを炉内に注入し、約0.6倍の希釈を行なうと、酸化レートはガス比 r が0.5とほぼ同じになる。このため、 H_2/O_2 ガス比1.8の条件でも曲率半径3nmを達成することが可能となる。

【0050】上記理由により、本発明の第2の実施形態によれば、溝分離構造の基板側上端近傍の曲率半径を3nmよりも十分大きくすることができ、また、パット酸化膜の後退量を第1の実施形態で示した5～40nmの範囲としている。このため、溝上端部上面で段差発生を防止することができ、ゲート電極膜端部近傍の高境界中に起因したトランジスタのリーク電流増加あるいは耐圧特性の低下を防止でき、トランジスタの電気的信頼性を向上できるという効果がある。さらに、パット酸化膜の後退量を制御するため、工程209を図9に示すように工程210と工程211に追加してもかまわない。この場合は工程209を2回行うことになるが、工程209を2回行うことによる溝の上端部からのパット酸化膜の後退量の合計が、5nmから40nmの範囲となることが望ましい。

【0051】なお、図7に示した製造工程において、工程207と工程209との間にホトレジスト除去工程208が設定されているが、この工程208は、工程207と工程209との間ではなく、工程205と工程206との間に設定することもできる。

【0052】次に、本発明の第3の実施形態である、溝

14

分離構造を有する半導体装置の製造方法を図1及び図10を使用して説明する。図10に示した第3の実施形態による製造方法（フローチャート）は、第1の実施形態の製造工程の（7）を変更したものである。この第3の実施形態は、第1の実施形態と比較して形状等は大きくは変わらないので、この第3の実施形態における半導体装置の断面図は、図1を使用して説明する。以下、図10のフローチャートに添って、この第3の実施形態における製造工程を説明する。

10 【0053】（1）シリコン基板1の表面を熱酸化して厚さ約10nmのパット酸化膜2を形成する（図10の工程（301）、（302）、図1の（b））。

（2）パット酸化膜2の上に窒化珪素膜12を厚さ約200nm程度堆積する。この窒化珪素膜12は、素子分離熱酸化膜5を形成する時の酸化防止膜として使用する（図10の工程（303）、図1の（c））。

（3）窒化珪素膜12上にホトレジスト13を形成する（図10の工程（304））。

（4）通常の露光法を使用して、所望の位置のホトレジスト13を除去した後、窒化珪素膜12、パット酸化膜2を除去し、窒化珪素膜12をマスクとして、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度（例えば、図中A部の角度が90～110度）を有する浅溝を形成する（図10の工程（307）、（308）、図1の（d））。

（5）ホトレジスト13を除去した後、パット酸化膜2を5～40nm程度エッチング除去して後退させる（図10の工程（308）、（309）、図1の（e））。

（6）等方性エッチング法（ウェットもしくは、ドライエッチング法）を用いて露出したシリコン基板1を、0より大きく、20μm以下の範囲で除去する（図10の工程（310）、図1の（f））。

（7）シリコン基板1に形成した溝部分を H_2/O_2 ガス混合酸化雰囲気（ガス流量比を r とすると、 $0 \leq r \leq 0.5$ の範囲）で熱酸化し、半導体基板1に形成した溝部分を、後退させたパット酸化膜2の空間が埋まる範囲内で酸化させる（図10の工程（311）、図1の（g））。

（8）化学気相蒸着（CVD）法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、埋め込む（以下、埋め込み絶縁膜6）。また、これら化学気相蒸着法、スパッタ法等で製作したシリコン酸化膜等は一般に密度が粗な膜であることから、埋め込み絶縁膜6堆積後、緻密化を目的として、1100℃前後のアニールまたは酸化雰囲気中でシリコン基板1を酸化させてもよい（図10の工程（312）、図1の（h））。

（9）埋め込み絶縁膜6を化学機械研磨法（CMP）法あるいはドライエッチング法を使用してエッチバックする。この場合、酸化防止膜として用いた窒化珪素膜12はエッチングストッパーとなり、窒化珪素膜12下のシ

特開2000-49222

(9)

16

15

リコン基板1がエッチングされることを防止する働きを持つ(図10の工程(313)、図1の(i))。

(10)そして、窒化珪素膜12及びパッド酸化膜2を除去することで溝埋め込み構造は完了する(図10の工程(314)、図1の(j))。その後、トランジスタ構造製造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。

【0054】次に、図を参照して本発明の第3の実施形態の作用効果を説明する。この第3実施形態の作用効果は、上述した第1の実施形態でも説明したように(図4参照)、後退させたパッド酸化膜2の空間が埋まった後では、窒化珪素膜12に反り変形が発生し、この膜の曲げによる力によって窒化珪素膜12下のパッド酸化膜2及びシリコン基板1には圧縮応力が発生するため、この応力により酸化が抑制され、結果として、溝上端部近傍のシリコン基板1の形状が尖ったものとなる。

【0055】上述したように、酸化量を後退させたパッド酸化膜2の空間が埋まる範囲内とすることにより、反り変形による圧縮応力が発生しなくなるため、シリコン基板1の上端部の酸化が滑らかに進行し、結果としてシリコン基板1の上端近傍の曲率化が図られることになる。さらに、パッド酸化膜2の後退量を第1の実施形態で示したように、5～40nmの範囲としているため、溝上端部上面で段差の発生を防止できる。さらに、パッド酸化膜の後退量を制御するため、工程309を図11に示すように工程310と工程311を追加してもかまわない。この場合は工程309を2回行うことになるが、工程309を2回行うことによる溝の上端部からのパッド酸化膜の後退量の合計が、5nmから40nmの範囲となること望ましい。

【0056】上記理由により、本発明の第3の実施形態によれば、溝分離構造の基板側上端近傍の曲率半径を3nmよりも十分大きくすることができ、また、段差発生を防止できるため、ゲート電極膜端部近傍の電界集中に起因したトランジスタのリーク電流増加あるいは耐圧特性の低下を防止でき、トランジスタの電気的信頼性を向上できるという効果がある。

【0057】なお、図10に示した製造工程において、工程307と工程309との間にホトレジスト除去工程308が設定されているが、この工程308は、工程307と工程309との間ではなく、工程305と工程3

06との間に設定することもできる。

【0058】

【発明の効果】本発明は、以上説明したように構成されているため、次のような効果がある。溝上端部近傍のシリコン基板上面で基板段差を形成せず、しかも溝上端部に所定以上の曲率半径を確保させることができる半導体装置の製造方法及び半導体装置を実現することができる。

【0059】したがって、溝分離構造を有する半導体装置において、回路を構成するトランジスタや容量の耐圧特性を向上することができる。

【図面の簡単な説明】

【図1】本願に係る第1の実施形態の溝分離構造の製造工程の模式図である。

【図2】本願に係る第1の実施形態の製造工程を示すフローチャートである。

【図3】本願に係る第1の実施形態の作用効果を説明する図である。

【図4】本願に係る第1の実施形態の作用効果を説明する図である。

【図5】本願に係る第1の実施形態の作用効果を説明する図である。

【図6】本願に係る第1の実施形態の他の製造工程を示すフローチャートである。

【図7】本願に係る第2の実施形態の製造工程を示すフローチャートである。

【図8】本願に係る第2の実施形態の作用効果を説明する図である。

【図9】本願に係る第2の実施形態の他の製造工程を示すフローチャートである。

【図10】本願に係る第3の実施形態の製造工程を示すフローチャートである。

【図11】本願に係る第3の実施形態の他の製造工程を示すフローチャートである。

【図12】従来の溝分離構造の製造工程の模式図である。

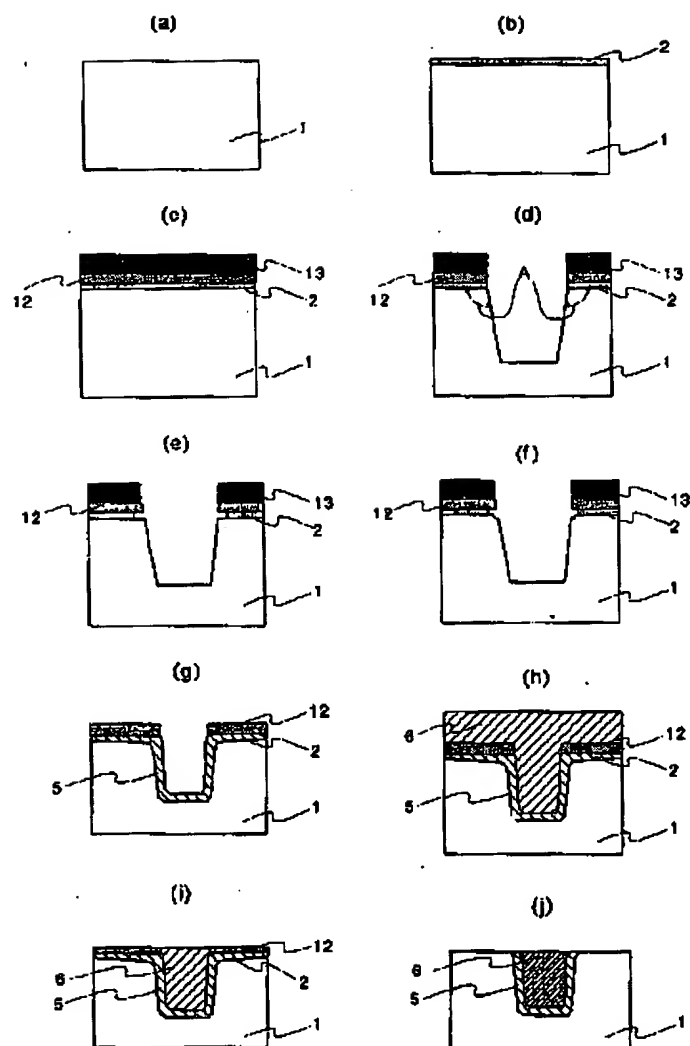
【符号の説明】

1…シリコン基板、2…パッド酸化膜、3…酸化防止膜、4…基板側角部、5…素子分離熱酸化膜、6…埋め込み絶縁膜、7…ゲート酸化膜、8…ゲート電極膜、9…絶縁膜、10…配線、11…層間絶縁膜、12…窒化珪素膜、13…ホトレジスト、14…基板段差。

(10)

特開2000-49222

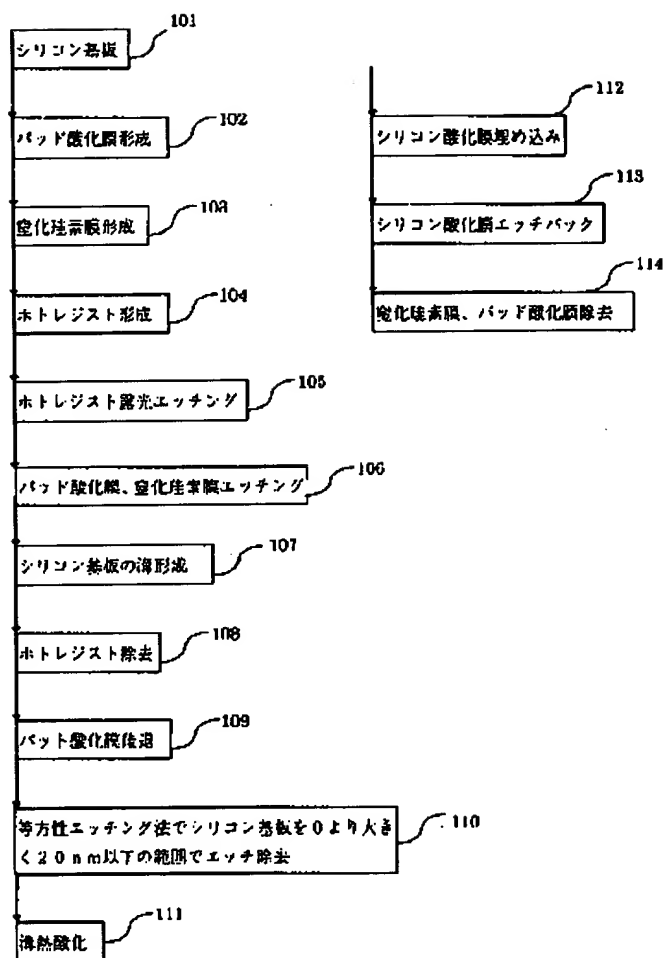
【図1】



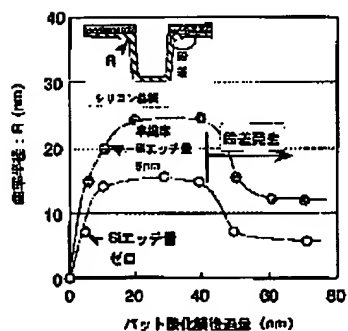
(11)

特開2000-49222

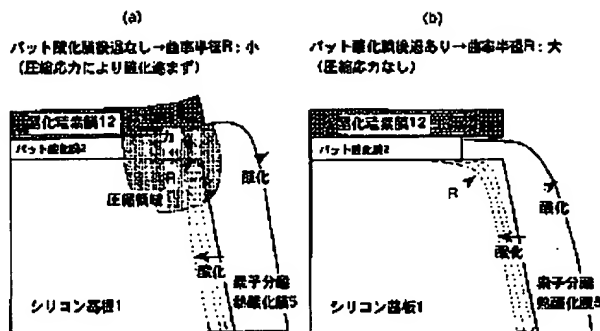
【図2】



【図3】



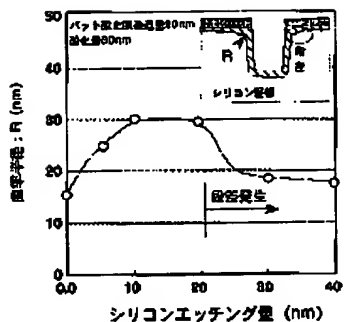
【図4】



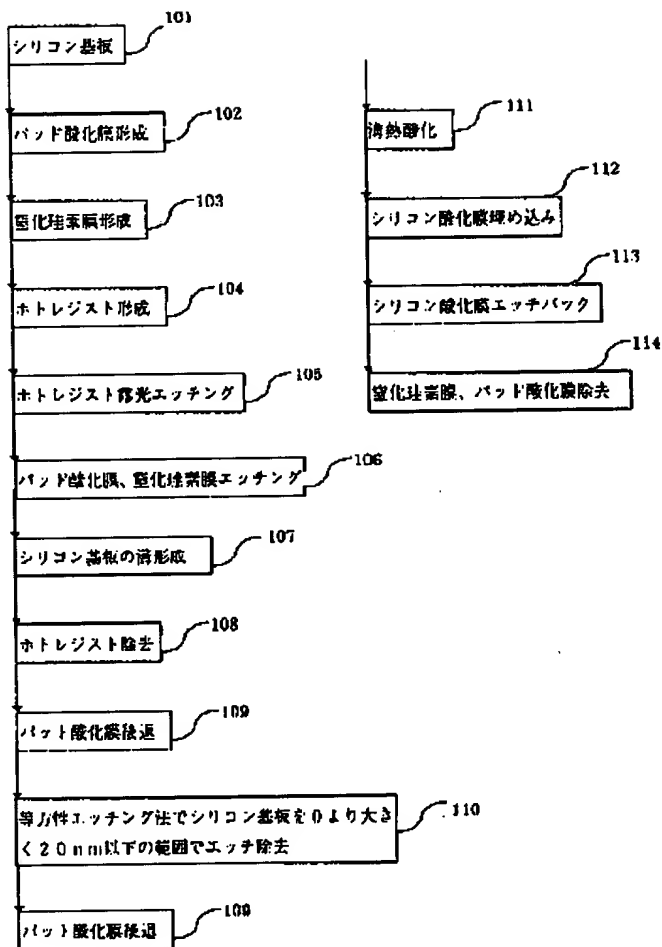
(12)

特開2000-49222

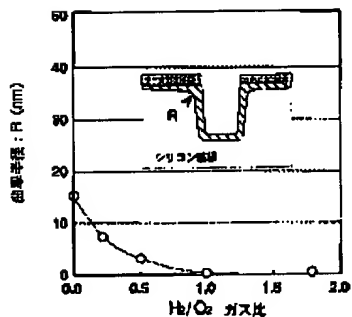
【図5】



【図6】



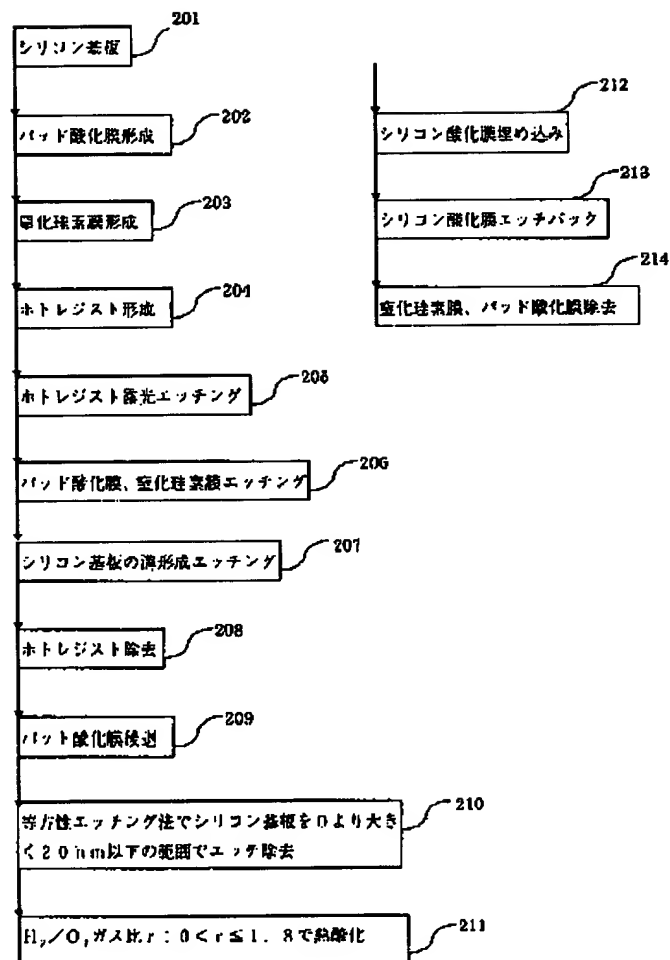
【図8】



(13)

特開2000-49222

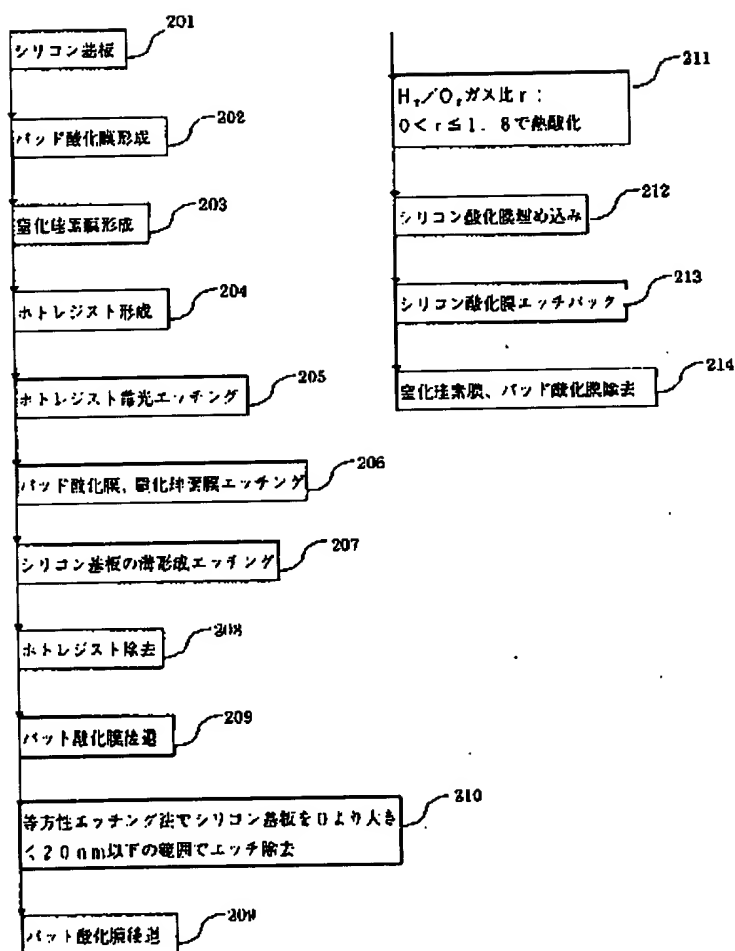
【図7】



(14)

特開2000-49222

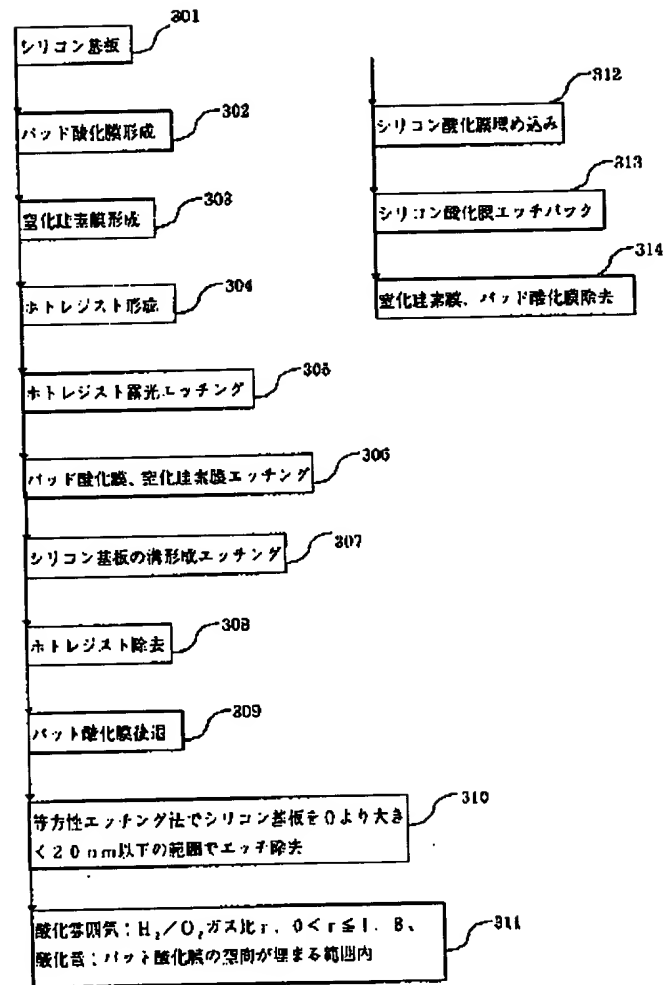
【図9】



(15)

特開2000-49222

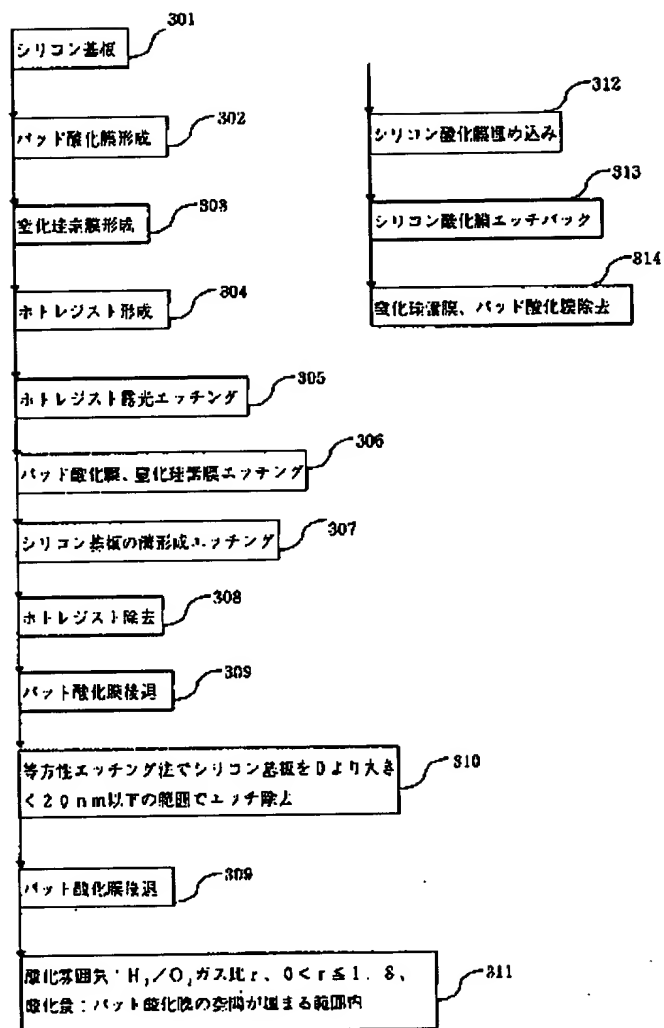
【図10】



(16)

特開2000-49222

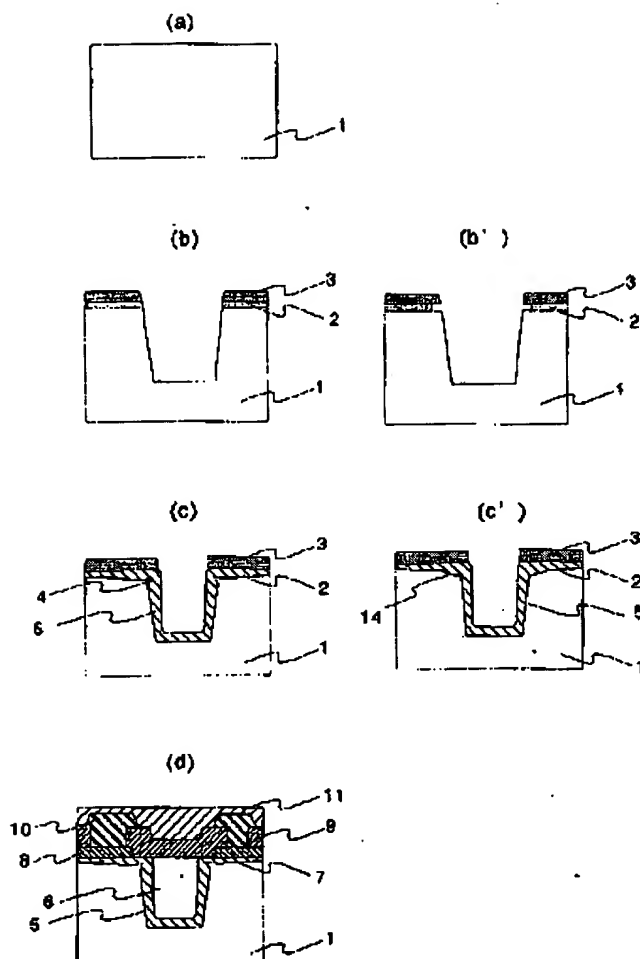
【図11】



(17)

特開2000-49222

【図12】



フロントページの続き

(72)発明者 池田 修二
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 吉田 安子
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 鈴木 範夫
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 児島 雅之
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 舟山 幸太
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

Fターム(参考) 5F032 AA36 AA44 AA45 AA66 AA69
AA77 DA02 DA07 DA23 DA26
DA33 DA78
5F040 DA15 DC01 EK05 FC10